



(19)

(11) Publication number: **09232336 A**

Generated Document.

PATENT ABSTRACTS OF JAPAN(21) Application number: **08040160**(51) Intl. Cl.: **H01L 21/338 H01L 29/812 H01L 21/203**(22) Application date: **27.02.96**

(30) Priority:

(43) Date of application
publication: **05.09.97**(84) Designated contracting
states:(71) Applicant: **FUJITSU LTD**(72) Inventor: **NAGAHARA MASAKI
TATENO YASUNORI
TAKIGAWA MASAHIKO**

(74) Representative:

**(54) SEMICONDUCTOR
DEVICE**

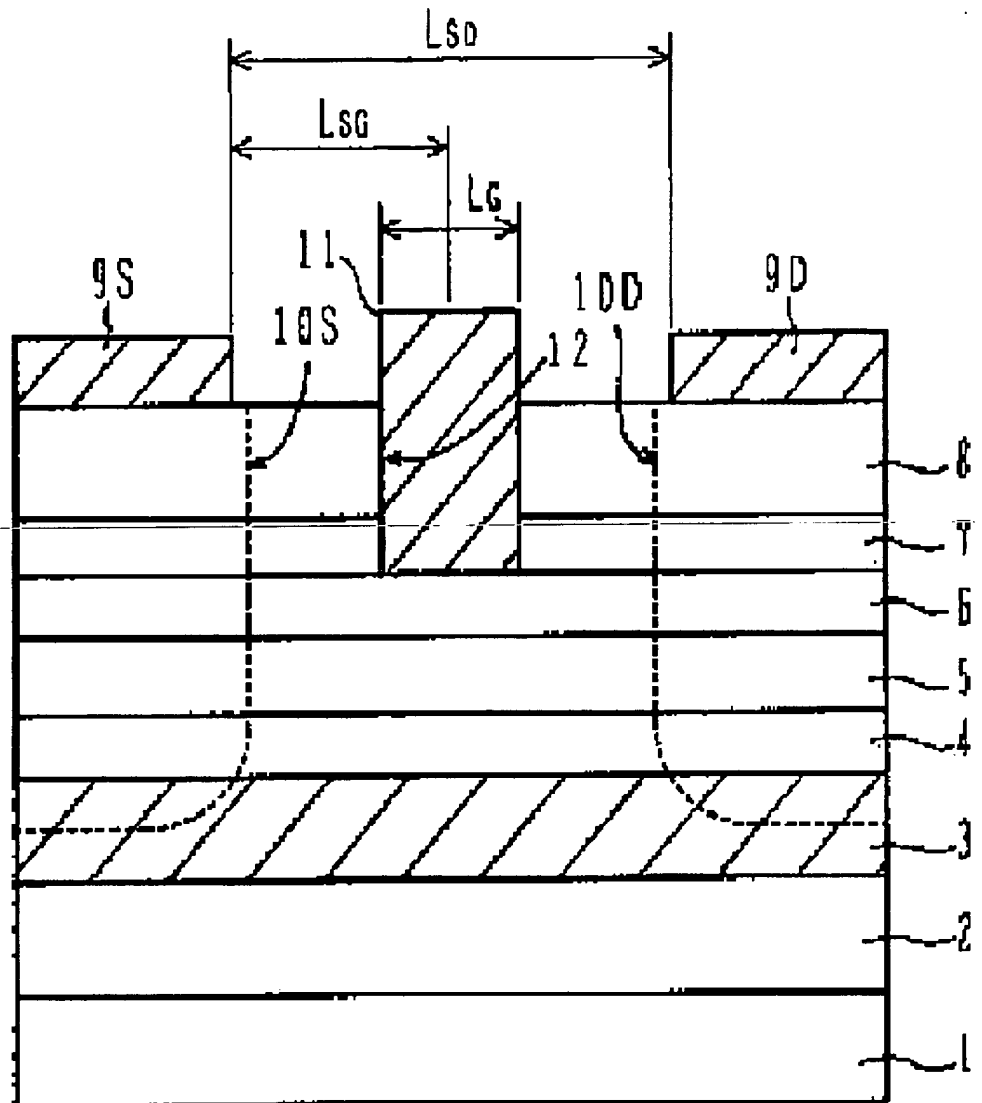
(57) Abstract:

PROBLEM TO BE SOLVED: To obtain an enhance mode MESFET wherein decrease of the gain and the output voltage is restrained, by installing cap layers or the like which are arranged in regions on both sides of a gate electrode on a carrier transit layer, and composed of undoped compound semiconductor, and have a specified thickness.

SOLUTION: A buffer layer 2, an electron transit layer 3, a relaxation layer 4, a gate contact layer 5, a spacer layer 6, an etching stopper layer 7 and a cap layer 8 are laminated on a substrate 1 composed of semiinsulating GaAs. The cap layer 8 is a layer which is composed of undoped GaAs and has a thickness of 100nm or more. The cap layer 8 prevents a depletion layer from infiltrating into the electron transit layer 3, so that increase of the sheet resistance in the region can be

restrained and the sheet resistance in the electron transit layer 3 can be reduced. Thereby it can be restrained that the gain is decreased by increase of the sheet resistance, when an MESFET is made an enhance mode by thinning the electron transit layer 3.

COPYRIGHT: (C)1997,JPO



- (19) 【発行国】 日本国特許庁 (J P)
 (12) 【公報種別】 公開特許公報 (A)
 (11) 【公開番号】 特開平 9-232336
 (43) 【公開日】 平成 9 年 (1997) 9 月 5 日
 (54) 【発明の名称】 半導体装置
 (51) 【国際特許分類第 6 版】

H01L 21/338
 29/812
 21/203

【F I】

H01L 29/80 B 9447-4M
 21/203 M

【審査請求】 未請求

【請求項の数】 24

【出願形態】 O L

【全页数】 11

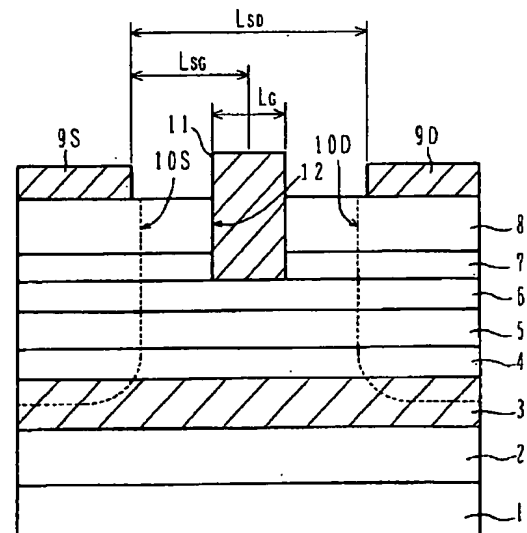
- (21) 【出願番号】 特願平 8-40160
 (22) 【出願日】 平成 8 年 (1996) 2 月 27 日
 (71) 【出願人】
 【識別番号】 000005223
 【氏名又は名称】 富士通株式会社
 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号
 (72) 【発明者】
 【氏名】 長原 正樹
 【住所又は居所】 神奈川県川崎市中原区上小田中 1015 番地 富士通株式会社内
 (72) 【発明者】
 【氏名】 館野 泰範
 【住所又は居所】 神奈川県川崎市中原区上小田中 1015 番地 富士通株式会社内
 (72) 【発明者】
 【氏名】 滝川 正彦
 【住所又は居所】 神奈川県川崎市中原区上小田中 1015 番地 富士通株式会社内
 (74) 【代理人】
 【弁理士】
 【氏名又は名称】 高橋 敬四郎

第 1 の実施例

(57) 【要約】

【課題】 利得、出力電力の低下を抑制したエンハンスメントモードの MESFET を提供する。

【解決手段】 支持基板と、前記支持基板の上に配置された化合物半導体からなるキャリア走行層と、前記キャリア走行層の上の一部の領域に配置され、導電性材料からなるゲート電極と、前記キャリア走行層の上の、前記ゲート電極の両側の領域にそれぞれ配置され、ノンドープの化合物半導体からなり、100nm 以上の厚さを有するキャップ層と、前記キャリア走行層とオーミック接続する電流電極とを有する。



【特許請求の範囲】

【請求項 1】 支持基板と、前記支持基板の上に配置された化合物半導体からなるキャリア走行層と、前記キャリア走行層の上の一部の領域に配置され、導電性材料からなるゲート電極と、前記キャリア走行層の上の、前記ゲート電極の両側の領域にそれぞれ配置され、ノンドープの化合物半導体からなり、100nm以上の厚さを有するキャップ層と、前記キャリア走行層とオーミック接続する電流電極とを有する半導体装置。

【請求項 2】 さらに、前記キャリア走行層とゲート電極との間に配置され、前記キャリア走行層のバンドギャップよりも大きなバンドギャップを有する化合物半導体からなるゲートコンタクト層を有する請求項 1 に記載の半導体装置。

【請求項 3】 前記 2 つの電流電極が前記キャップ層の上に配置されている請求項 2 に記載の半導体装置。

【請求項 4】 前記 2 つの電流電極が前記キャップ層の上面から少なくとも該キャップ層の下面に達する凹部内に配置されている請求項 2 に記載の半導体装置。

【請求項 5】 前記 2 つの電流電極が前記キャップ層の上面から少なくとも前記ゲートコンタクト層の下面に達する凹部内に配置されている請求項 4 に記載の半導体装置。

【請求項 6】 前記ゲート電極に外部から電圧を印加しない状態において、前記キャリア走行層の前記ゲート電極下方領域の全厚さが空乏化している請求項 2 ～ 5 のいずれかに記載の半導体装置。

【請求項 7】 前記ゲート電極が、その両側にそれぞれ形成された前記キャップ層の各々に対向する側面を有し、前記キャップ層が、前記ゲート電極の側面に接している請求項 2 ～ 6 のいずれかに記載の半導体装置。

【請求項 8】 前記 2 つの電流電極の間隔が $4\mu\text{m}$ 以下である請求項 2 ～ 7 のいずれかに記載の半導体装置。

【請求項 9】 さらに、前記キャリア走行層と前記ゲートコンタクト層との間に配置され、前記キャリア走行層と

同一組成のノンドープ化合物半導体からなる緩和層を有する請求項 2 ～ 8 のいずれかに記載の半導体装置。

【請求項 10】 さらに、前記ゲートコンタクト層と前記キャップ層との間に配置され、ノンドープの化合物半導体からなるスペーサ層と、前記スペーサ層と前記キャップ層との間に配置され、前記スペーサ層及び前記キャップ層とエッチング耐性の異なるエッチング停止層とを有し、前記ゲート電極が、前記スペーサ層に接するように配置されている請求項 2 ～ 9 のいずれかに記載の半導体装置。

【請求項 11】 前記支持基板及び前記キャップ層がノンドープの GaAs で形成され、前記キャリア走行層が n 型不純物をドープされた GaAs で形成され、前記ゲートコンタクト層がノンドープの AlGaAs で形成されている請求項 2 ～ 10 のいずれかに記載の半導体装置。

【請求項 12】 前記ゲートコンタクト層の Al の組成比が 0.4 ～ 1.0 である請求項 11 に記載の半導体装置。

【請求項 13】 前記支持基板、前記キャップ層及び前記緩和層がノンドープの GaAs で形成され、前記キャリア走行層が n 型不純物をドープされた GaAs で形成され、前記ゲートコンタクト層がノンドープの AlGaAs で形成されている請求項 9 に記載の半導体装置。

【請求項 14】 前記支持基板、前記キャップ層及び前記スペーサ層がノンドープの GaAs で形成され、前記キャリア走行層が n 型不純物をドープされた GaAs で形成され、前記ゲートコンタクト層及び前記エッチング停止層がノンドープの AlGaAs で形成されている請求項 10 に記載の半導体装置。

【請求項 15】 前記支持基板及び前記キャップ層がノンドープの GaAs で形成され、前記キャリア走行層が n 型不純物をドープされた InGaAs で形成され、前記ゲートコンタクト層がノンドープの AlGaAs で形成されている請求項 2 ～ 10 のいずれかに記載の半導体装置。

【請求項 16】 前記ゲートコンタクト層の Al の組成比が 0.4 ～ 1.0 である請求項 15 に記載の半導体装置。

【請求項 17】 前記支持基板、前記キャップ層がノンドープのGaAsで形成され、前記キャリア走行層がn型不純物をドーパされたInGaAsで形成され、前記ゲートコンタクト層がノンドープのAlGaAsで形成され、前記緩和層がノンドープのInGaAsまたはGaAsで形成されている請求項9に記載の半導体装置。

【請求項 18】 前記支持基板、前記キャップ層及び前記スペーサ層がノンドープのGaAsで形成され、前記キャリア走行層がn型不純物をドーパされたInGaAsで形成され、前記ゲートコンタクト層及び前記エッチング停止層がノンドープのAlGaAsで形成されている請求項10に記載の半導体装置。

【請求項 19】 前記支持基板及びキャップ層がノンドープのInPで形成され、前記キャリア走行層がn型不純物をドーパされたInGaAsで形成され、前記ゲートコンタクト層がノンドープのAlInAsで形成されている請求項2～10のいずれかに記載の半導体装置。

【請求項 20】 前記支持基板及びキャップ層がノンドープのInPで形成され、前記キャリア走行層がn型不純物をドーパされたInGaAsで形成され、前記ゲートコンタクト層がノンドープのAlInAsで形成され、前記緩和層がノンドープのInGaAsで形成されている、請求項9に記載の半導体装置。

【請求項 21】 前記支持基板及びキャップ層がノンドープのInPで形成され、前記キャリア走行層がn型不純物をドーパされたInGaAsで形成され、前記スペーサ層がノンドープのInGaAsで形成され、前記ゲートコンタクト層及び前記エッチング停止層がノンドープのAlInAsで形成されている請求項10に記載の半導体装置。

【請求項 22】 支持基板と、前記支持基板上に配置され、導電性を付与する不純物を含有する化合物半導体からなるキャリア走行層と、前記キャリア走行層上の一部領域に配置され、導電性材料からなるゲート電極と、前記ゲート電極の両側に、かつ前記ゲート電極から離間して配置され、前記キャリア走行層に電気的に接続するソース、ドレイン領域と、前記キャリア走行層上の、前記ゲート電極と前記ソース、ドレイン領域との間の領域にそれぞれ配置された化合物半導体によって構成され、その表面から内部に向かって延びる表面空乏層の厚みと同等か、

またはそれよりも大きい厚みを有するキャップ領域とを有する半導体装置。

【請求項 23】 さらに、前記キャリア走行層と前記ゲート電極との間に配置され、前記キャリア走行層のバンドギャップよりも大きなバンドギャップを有する化合物半導体からなるゲートコンタクト層を有する請求項22に記載の半導体装置。

【請求項 24】 前記ゲート電極に外部から電圧を印加しない状態において、前記キャリア走行層の前記ゲート電極下方の全厚さが空乏化している請求項22および23に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置に関し、特にMESFET (metal-semiconductor field effect transistor) 型半導体装置に関する。

【0002】

【従来の技術】 近年の移動電話、パーソナルハンディホンシステム (PHS) の普及率の向上により、携帯電話用、基地局用の無線装置の低価格化及び小型化が望まれている。従来のnチャネルMESFETはディプレッションモードで使用されるため、ドレイン電極に正のバイアスを印加し、ゲート電極に負のバイアスを印加する必要がある。このため、2系統の電源を準備する必要があり、無線装置の大型化の要因になっている。

【0003】 ゲート電極に負のバイアスを印加する必要のないエンハンスメントモードのMESFETが望まれている。

【0004】

【発明が解決しようとする課題】 MESFETをエンハンスメントモードにするためには、ゲート電極に電圧を印加していない状態において、ゲート電極の下電子走行層の全厚さを空乏化すればよい。全厚さを空乏化するためには、電子走行層を薄くすればよいが、薄くするとシート抵抗が増加して利得、出力電力が低下する。また、

エンハンスメント動作させる際、ゲートに正電圧をかけた時に、ゲートリーク電流が増大する。このため、大きな飽和ドレイン電流を得ることができず、出力低下を招く。

【0005】上記問題等のため、エンハンスメントモードのMESFETは未だ実用化されていない。本発明の目的は、利得、出力電力の低下を抑制したエンハンスメントモードのMESFETを提供することである。

【0006】

【課題を解決するための手段】まず、エンハンスメントモードのMESFETにおいて、キャリア走行層のシート抵抗が高くなる理由について検討する。

【0007】まず、前述したようにゲート電極に負のバイアスを必要としないエンハンスメントモードのMESFETは、ゲート電極に電圧を印加していない状態において、キャリア走行層の全厚さが空乏層で満たされる厚さを実現する為に、比較的薄く形成せざるを得ない。

【0008】一方、キャリア走行層に接続されるソース、ドレイン領域は、ゲート電極とのショートを防止するために通常ゲート電極から離間して設けられる。この離間した領域（ゲート電極の両側の領域）におけるキャリア走行層のシート抵抗は、ゲート電極によって空乏層の制御が行われないので、ゲート電極の電位にかかわらず、実質的に一定である。

【0009】つまり、キャリア走行層は比較的薄いうえに、上記離間した領域においては、その内部に空乏層が浸食している分だけ電流路が狭くなり、狭くなった分だけ、キャリア走行層全体としてのシート抵抗が高くなるのである。

【0010】そこで、本発明の一観点によると、支持基板と、前記支持基板の上に配置された化合物半導体からなるキャリア走行層と、前記キャリア走行層の上の一部の領域に配置され、導電性材料からなるゲート電極と、前記キャリア走行層の上の、前記ゲート電極の両側の領域にそれぞれ配置され、ノンドープの化合物半導体からなり、100nm以上の厚さを有するキャップ層と、前記キャリア走行層とオーミック接続する電流電極とを有する半導体装置が提供される。

【0011】キャップ層の厚さを100nm以上にすると、キャップ領域の表面からキャリア走行層に延びる空乏層の厚さよりもキャップ領域の方が厚くなり、その下に配置されたキャリア走行層に空乏層が到達しなくなるか、またはキャリア走行層中に侵入する空乏層の深さが浅くなる。このため、キャリア走行層のシート抵抗を低減することができる。

【0012】以上により、MESFETをエンハンスメントモードにするために、ゲート電極に電圧を印加していない状態でゲート電極下方のキャリア走行層の全厚さが空乏化する程度まで薄くしても、キャリア走行層のシート抵抗の増加を抑制できる。

【0013】本発明の他の観点によると、さらに上述の構成に加えて、前記キャリア走行層とゲート電極との間に配置され、前記キャリア走行層のバンドギャップよりも大きなバンドギャップを有する化合物半導体からなるゲートコンタクト層を有する半導体装置が提供される。

【0014】ゲートコンタクト層のバンドギャップを大きくすることにより、ゲートコンタクト層とキャリア走行層との間のポテンシャル障壁を増大し、ゲートリーク電流を低減することができる。

【0015】本発明の他の観点によると、さらに上述の構成に加えて、前記ゲート電極が、その両側にそれぞれ形成された前記キャップ層の各々に対向する側面を有し、前記キャップ層が、前記ゲート電極の側面に接している半導体装置が提供される。

【0016】ソース電極とゲート電極間、及びドレイン電極とゲート電極間のキャリア走行層の全領域がキャップ層によって覆われているため、全領域にわたって空乏層の発生を抑制することができる。

【0017】本発明の他の観点によると、さらに上述の構成に加えて、前記キャリア走行層と前記ゲートコンタクト層との間に配置され、前記キャリア走行層と同一組成のノンドープ化合物半導体からなる緩和層を有する半導体装置が提供される。

【0018】緩和層が、キャリア走行層とゲートコンタクト層との界面の荒れを防止する。本発明の他の観点によると、さらに上述の構成に加えて、前記ゲートコンタクト層と前記キャップ層との間に配置され、ノンドープ

の化合物半導体からなるスペーサ層と、前記スペーサ層と前記キャップ層との間に配置され、前記スペーサ層及び前記キャップ層とエッチング耐性の異なるエッチング停止層とを有し、前記ゲート電極が、前記スペーサ層に接するように配置されている半導体装置が提供される。

【0019】キャップ層を選択的にエッチングする際に、エッチング停止層でエッチングを自動的に停止させることができる。また、その後の後処理でエッチングダメージを受けたエッチング停止層を除去し、スペーサ層を表面に出すことができる。スペーサ層の表面上にゲート電極を形成することにより、ゲートコンタクト層の表面の荒れを防止することができる。

【0020】さらに、本発明の他の観点によると、支持基板と、前記支持基板上に配置され、導電性を付与する不純物を含有する化合物半導体からなるキャリア走行層と、前記キャリア走行層上の一部領域に配置され、導電性材料からなるゲート電極と、前記ゲート電極の両側に、かつ前記ゲート電極から離間して配置され、前記キャリア走行層に電気的に接続するソース、ドレイン領域と、前記キャリア走行層上の、前記ゲート電極と前記ソース、ドレイン領域との間の領域にそれぞれ配置された化合物半導体によって構成され、その表面から内部に向かって延びる表面空乏層の厚みと同等か、またはそれよりも大きい厚みを有するキャップ領域とを有する半導体装置が提供される。

【0021】この構成によれば、ゲート電極とソース、ドレイン領域との間に配置されたキャップ領域がキャリア走行層への空乏層の侵入を阻止するので、この領域のシート抵抗が高くなることを抑制でき、キャリア走行層におけるシート抵抗を低減することができる。

【0022】

【発明の実施の形態】本発明者らは、エンハンスメントモードのMESFETを作製するために、MESFETの構成とその特性の定量的な解析を行った。

【0023】図4は、解析を行ったMESFETの断面図を示す。半絶縁性GaAs基板50の表面上にn型不純物がドーパされたGaAsからなる電子走行層51が形成され、その上にノンドープのAlGaAsからなるゲートコンタクト層52及びノンドープのGaAsから

なるキャップ層53が積層されている。

【0024】キャップ層53の一部の領域に、ゲートコンタクト層52の上面まで達する凹部56が形成されている。凹部56は、導電性材料からなるゲート電極55で埋め尽くされている。キャップ層53の表面上の、ゲート電極55の両側の領域にそれぞれAuGe/Au（ここで、A/Bは下側のA層と上側のB層の積層を表す。）の2層構造のソース電極54S及びドレイン電極54Dが形成されている。

【0025】ソース電極54S及びドレイン電極54Dの下方には、キャップ層53から電子走行層51の上層部分まで不純物がイオン注入され、低抵抗領域57S及び57Dが形成されている。ソース電極54S及びドレイン電極54Dとキャップ層53との界面近傍は、電極形成後の熱処理により合金化されている。低抵抗領域57S及び57Dにより、それぞれソース電極54Sと電子走行層51及びドレイン電極54Dと電子走行層51がオーミックに接続される。

【0026】ゲート電極55に電圧を印加していない状態では、ゲート電極55が形成されている領域の電子走行層51の少なくとも上層部分が空乏化し、空乏層51aが形成される。空乏層51aが電子走行層51の上層部分にのみ広がる場合には、下層部分においてソース／ドレイン間が導通する。このため、MESFETはディプレッションモードになる。空乏層51aが電子走行層51の全厚さ部分に広がる場合には、ソース／ドレイン間が導通しないため、MESFETはエンハンスメントモードになる。

【0027】ここで、空乏層とは、半導体層の表面もしくは界面から、エネルギーバンド端の傾きが0になるまでの空乏化した厚さ部分を意味する。

【0028】図5Aは、図4に示すMESFETの電子走行層51の厚さとピンチオフ電圧との関係を示す。ピンチオフ電圧は、空乏層が電子走行層を横切るときのゲートバイアス電圧で定義される。横軸は電子走行層51の厚さを単位nmで表し、縦軸はピンチオフ電圧を単位Vで表す。ピンチオフ電圧は、厚さ方向に関する1次元のポアソン方程式を解き、電子走行層51の厚さと空乏層51aの厚さとが等しくなる時のゲート電極印加電圧から求めた。なお、電子走行層51の不純物濃度を1.

$5 \times 10^{17} \text{ cm}^{-3}$ 、ゲートコンタクト層52のAlの組成比を0.2、厚さを35 nmとした。

【0029】図5Aに示すように、電子走行層51の厚さが厚くなるとピンチオフ電圧が単調に減少する（マイナス方向に増加する）。電子走行層51の厚さが約50 nmのときにピンチオフ電圧が0 Vになり、それよりも薄い場合にはピンチオフ電圧が正になる。すなわち、電子走行層51の厚さを50 nmよりも薄くすると、エンハンスメントモードのMESFETが得られることがわかる。

【0030】図5Bは、図4に示すMESFETのゲート電極55とゲートコンタクト層52との界面のビルトインポテンシャルとピンチオフ電圧との関係を示す。横軸はビルトインポテンシャルを単位Vで表し、縦軸はピンチオフ電圧を単位Vで表す。ピンチオフ電圧は、図5Aの場合と同様の方法で計算した。なお、電子走行層の不純物濃度を $1.5 \times 10^{17} \text{ cm}^{-3}$ 、厚さを150 nm、ゲートコンタクト層52の厚さを35 nmとした。

【0031】図5Bに示すように、ビルトインポテンシャルを増加させると、ピンチオフ電圧も増加する。図5Bでは、ピンチオフ電圧が負の領域を示しているが、ビルトインポテンシャルを増加させるとピンチオフ電圧が増加する傾向にあるため、ビルトインポテンシャルを増加させることにより、エンハンスメントモードのMESFETが得られると考えられる。

【0032】ビルトインポテンシャルは、ゲートコンタクト層52のAlの組成比により変動し、Alの組成比を増加させるとビルトインポテンシャルも増加する。従って、ゲートコンタクト層52のAlの組成比を増加させることにより、エンハンスメントモードのMESFETが得られるであろう。

【0033】次に、図6Aを参照して、電子走行層の厚さと不純物濃度との関係を説明する。MESFETをエンハンスメントモードにするために電子走行層51を薄くすると、電子走行層51のシート抵抗が高くなる。シート抵抗の増加を抑制するためには、電子走行層51の不純物濃度を高くすればよい。

【0034】図6Aは、図4に示すMESFETのピンチオフ電圧 V_p を0 Vにするための電子走行層51の厚

さと不純物濃度との関係を示す。横軸は不純物濃度を単位 cm^{-3} で表し、縦軸は電子走行層51の厚さを単位nmで表す。図中の折れ線はピンチオフ電圧が0 Vになるときの電子走行層51の厚さ及び不純物濃度を示す。この折れ線よりも下側の領域においてMESFETがエンハンスメントモードになり、上側の領域においてディプレッションモードになる。

【0035】図6Aに示すようにピンチオフ電圧0 Vを与える折れ線は右下がりになっている。すなわち、電子走行層51の厚さを一定に保って不純物濃度を高くしていくと、折れ線を横切る点でエンハンスメントモードからディプレッションモードに変わってしまう。従って、電子走行層51を薄くしたときにエンハンスメントモードを保ったままシート抵抗の増加を抑制するためには、図6Aの折れ線より下側、好ましくは折れ線の付近で示される不純物濃度とすることが好ましい。

【0036】次に、図6Bを参照して、不純物濃度と飽和ドレイン電流との関係を説明する。図6Bは、ピンチオフ電圧 V_p が0 Vになるときの電子走行層51の不純物濃度と厚さとの積を不純物濃度の関数として示す。横軸は電子走行層51の不純物濃度を単位 cm^{-3} で表し、縦軸は不純物濃度と厚さとの積を表す。なお、MESFETの条件は図6Aの場合と同様である。

【0037】電子走行層51の不純物濃度を増加させると、ピンチオフ電圧を0 Vとする不純物濃度と厚さとの積も増加する。飽和ドレイン電流は、不純物濃度と厚さとの積と相関関係を有し、この積が増加すると飽和ドレイン電流も増加する。従って、電子走行層51の不純物濃度を増加させると、飽和ドレイン電流も増加する。すなわち、電子走行層51を薄くしても、それに対応して不純物濃度を増加させることにより、飽和ドレイン電流の低下を防止できるのみならず、より大きな飽和ドレイン電流を得ることができる。

【0038】次に、キャップ領域を設けた時のMESFETの電子走行層のシート抵抗と電子走行層上のキャップ領域の厚さとの関係について説明する。図7Aはゲート電極の両側に電子走行層の表面が露出している従来のリセス型MESFETの断面図を示す。図4のMESFETでは電子走行層51とゲート電極55との間にゲートコンタクト層52が配置されているが、図7Aに示すMESFETでは、電子走行層51の表面上に直接ゲー

ト電極 55 がショットキ接触している。その他の構成は、図 4 に示す MESFET と同様である。

【0039】図 7A に示す MESFET では、キャップ層 53 とゲート電極 55 との間に間隙が形成されている。従って、この間隙部に電子走行層 51 の表面が露出している。

【0040】電子走行層 51 の表面が露出すると、この露出した領域に表面空乏層 51b が形成される。表面空乏層 51b のために電子走行層 51 の実効的な厚さが減少し、ソース／ドレイン間の抵抗が増加することが分かる。

【0041】一方、図 7B は、ゲート電極の両側の電子走行層の表面がキャップ層で覆われた埋込ゲート型 MESFET の断面図を示す。ゲート電極 55 がキャップ層 53 に形成された凹部内を埋め尽くし、キャップ層 53 がゲート電極 55 の側面に接触している。このため、ゲート電極 55 の両側近傍領域において電子走行層 51 の表面が露出せず、キャップ層 53 で覆われる。このため、電子走行層 51 の表面に空乏層が形成されにくい。電子走行層 51 とキャップ層 53 との界面に形成される空乏層の厚さは、キャップ層 53 の厚さに依存する。

【0042】図 7C は、電子走行層のシート抵抗を、その上に形成されたキャップ層の厚さの関数として示す。横軸はキャップ層の厚さを単位 nm で表し、縦軸はシート抵抗を単位 Ω/\square で表す。なお、電子走行層の材料を GaAs、厚さを 46 nm、不純物濃度を $1 \times 10^{18} \text{ cm}^{-3}$ とし、キャップ層の材料を GaAs とした。

【0043】図 7C に示すように、キャップ層を薄くするとシート抵抗が増加する。キャップ層の厚さを 100 nm よりも薄くすると、シート抵抗が急激に増加する。その理由は、キャップ層を形成したことで、キャップ層表面で生じる表面空乏層が、キャップ層の厚みの中で終端し、キャリア走行層中に実質的に到達しなくなったためであると考えられる。

【0044】従って、表面空乏層によるシート抵抗の増加を抑制するために、キャップ層の厚さを 100 nm 以上とすることが好ましく、また、同図より 130 nm 以上とすることがより好ましいことが分かる。なお、以上の例ではキャップ領域として、キャップ層を用い、これ

を単層で形成された場合を想定し、その結果、そのキャップ層が 100 nm 以上であることが望ましいという結論を見いだしたのであるが、例えば、キャップ層とキャリア走行層との間に他の半導体層が介在した構造であっても、キャップ層として 100 nm 以上が形成されておれば、表面空乏層をキャリア走行層から十分に離せるので、その効果が低下することはない。

【0045】なお、図 4 で説明したゲートコンタクト層 52 は、ゲート電極直下に生じる空乏層の伸び（キャリア走行層中への侵入深さ）を大きくする為のものであるが、例えば、ゲート電極の両側のソース、ドレイン領域までの離間部分に位置するゲートコンタクト層を前述のキャップ領域として作用させることも可能である。

【0046】すなわち、そのキャップ領域に位置するゲートコンタクト層の厚みをゲート電極直下の厚みよりも大きくし、キャップ領域に位置するゲートコンタクト層の表面で生じる表面空乏層が、その厚みの中で終端し、キャリア走行層中に空乏層が実質的に到達しない厚みで形成すればよいのである。このようにすれば、キャップ層 53 が無い、キャップ層 53 の厚みとその内部で空乏層が終端しない厚さ（例えば 100 nm 以下）であっても、シート抵抗の増加は無くなるのである。

【0047】要するに、ソース、ドレイン領域とゲート電極との間の離間部のキャリア走行層上に、その表面で生じる表面空乏層がゲートコンタクト層を含めたキャップ領域の厚みの中で終端し、キャリア走行層中に実質的に到達しなくなるように、半導体からなるキャップ領域を形成すれば、シート抵抗の増加が防止できるのである。

【0048】次に、図 1 及び図 2 を参照して、本発明の第 1 の実施例について説明する。図 1 は、第 1 の実施例による MESFET の断面図を示す。以下、図 1 に示す MESFET の製造方法を説明する。

【0049】半絶縁性の GaAs からなる基板 1 の上に、分子線エピタキシ (MBE) により、バッファ層 2、電子走行層 3、界面の荒れを抑制するための緩和層 4、ゲートコンタクト層 5、スペーサ層 6、エッチング停止層 7、キャップ層 8 をこの順番に積層する。成長時の基板温度は約 630℃ とする。

【0050】バッファ層 2 は、ノンドープの GaAs か

らなる厚さ500nmの層である。電子走行層3は、不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ になるようにSiがドーパされたn型GaAsからなる厚さ20nmの層である。緩和層4は、ノンドープのGaAsからなる厚さ5nmの層である。ゲートコンタクト層5は、ノンドープの $\text{Al}_{0.5}\text{Ga}_{0.5}\text{As}$ からなる厚さ20nmの層である。

【0051】スペーサ層6は、ノンドープのGaAsからなる厚さ5nmの層である。エッチング停止層7は、ノンドープの $\text{Al}_{0.5}\text{Ga}_{0.5}\text{As}$ からなる厚さ5nmの層である。キャップ層8は、ノンドープのGaAsからなる厚さ130nmの層である。

【0052】次に、ソース電極及びドレイン電極が形成される領域に対応した開口を有するレジストパターンを形成する。このレジストパターンをマスクとして、例えば、加速エネルギー150～175keV、ドーズ量 $1 \times 10^{13} \text{ cm}^{-2}$ の条件でSiをイオン注入する。850℃で20分間の熱処理を行い、注入されたSi原子を活性化する。ソース電極及びドレイン電極が形成される領域に、キャップ層8から電子走行層3の上層部まで達する低抵抗領域10S及び10Dが形成される。

【0053】マスクとして使用したレジストパターンを残したまま、AuGe/Auの積層を蒸着により形成する。例えば、AuGe層の厚さを50nm、Au層の厚さを300nmとする。レジストパターンを、その上に蒸着されたAuGe/Au層と共に除去する。このようにして、ソース電極9S及びドレイン電極9Dが形成される。本実施例においては、ソース電極9Sとドレイン電極9Dとの間隔 L_{SD} を4 μm とした。

【0054】 N_2 雰囲気中で温度を450℃とし、約2分間の熱処理を行い、ソース電極9S及びドレイン電極9Dとキャップ層8との界面を合金化する。ソース電極9Sとドレイン電極9Dに挟まれたゲート電極形成領域に対応した開口を有するレジストパターンを形成する。このレジストパターンをマスクとし、エッチングガスとして $\text{SiCl}_4 + \text{SF}_6$ を用いた反応性イオンエッチング(RIE)によりキャップ層8をエッチングする。このエッチングガスはAlGaAsをほとんどエッチングしないため、AlGaAsからなるエッチング停止層7の上面が露出した時点で深さ方向のエッチングがほぼ停止する。

【0055】 HNO_3 を用いたウェットエッチングにより、露出した領域のエッチング停止層7を後処理する。 HNO_3 は、ドライエッチングにより、ダメージを受けたエッチング停止層7を除去し、スペーサ層6を表面に露出させる。このようにして、スペーサ層6の上面まで達する凹部12が形成される。

【0056】エッチングマスクとして使用したレジストパターンを残したまま、厚さ300nmのAl層を蒸着により形成する。レジストパターン上に蒸着されたAl層と共にレジストパターンを除去する。凹部12内を埋め尽くすAlからなるゲート電極11が形成される。本実施例では、ソース電極9Sのゲート電極側の端部とゲート電極11の中心までの距離 L_{sc} を1.5 μm 、ゲート長 L_g を0.9 μm とした。

【0057】図2は、図1に示すMESFETの電流電圧特性を示す。横軸はドレイン電圧を単位Vで表し、縦軸はドレイン電流を単位mAで表す。図中の各曲線に付した数字はゲート電圧を表す。ゲート電圧が0Vの時ドレイン電流がほとんど流れず、エンハンスメントモードになっていることがわかる。ゲート電圧を増加させると飽和ドレイン電流も増加し、ゲート電圧1.6Vの時の飽和ドレイン電流が約160mAとなる。

【0058】図1に示すMESFETでは、キャップ層8の厚さを130nmとしているため、図7Cで説明したように電子走行層3のシート抵抗の増加が抑制されていると考えられる。また、キャップ層8がゲート電極11の側面に接触しているため、図7Aに示すようなゲート電極の両側に形成される表面空乏層の発生が抑制される。

【0059】また、AlGaAsからなるゲートコンタクト層5のAlの組成比が0.5とされている。従来、ゲートコンタクト層5のAlの組成比は0.2程度とされていた。Alの組成比を高くすることにより、ゲート電極11とゲートコンタクト層5との間のビルトインポテンシャルを高くすることができる。図5Bで説明したように、ビルトインポテンシャルを高くするとピンチオフ電圧が高くなり、さらに、ゲート電圧を正に振り込んだ時のゲートリーク電流を低減できるため、エンハンスメントモードのMESFETの作製に有効である。なお、ゲートコンタクト層のAlの組成比を0.4～1.0としても同様の効果が得られるであろう。

【0060】緩和層4は、電子走行層3とゲートコンタクト層5との界面の荒れを抑制する。

【0061】ゲートコンタクト層5の上に、スペーサ層6を形成し、その上にスペーサ層6及びキャップ層8の両方とエッチング耐性の異なるエッチング停止層7を形成している。このエッチング停止層7を設けることにより、凹部12の深さの制御が容易になる。

【0062】第1の実施例では、図1に示すソース／ドレイン電極間距離 L_{SD} を $4\mu m$ とした。MESFETのドレイン効率を高めるためには、ソース／ドレイン電極間距離 L_{SD} を $4\mu m$ 以下とすることが好ましい。また、ソース電極とゲート電極中心間距離 L_{SG} を $1.5\mu m$ とした。良好な相互コンダクタンスを得るためには、この距離 L_{SG} を $1.5\mu m$ 以下とすることが好ましい。

【0063】図3Aは、本発明の第2の実施例によるMESFETの断面図を示す。図1に示すMESFETでは、ソース電極9Sとドレイン電極9Dをキャップ層8の上に配置した。これに対し、図3Aに示すMESFETでは、キャップ層8からスペーサ層6の下面に達する凹部13S及び13Dを形成してゲートコンタクト層5の上面を露出させ、ゲートコンタクト層5に直接接するようにソース電極9Sとドレイン電極9Dを配置している。

【0064】図1に示すMESFETでは、Siを注入した低抵抗領域10S、10Dにより、ソース電極9S、ドレイン電極9Dと電子走行層3とをオーミック接続している。これに対し、図2に示すMESFETでは、ソース電極9S、ドレイン電極9Dと電子走行層3との間に緩和層4とゲートコンタクト層5のみしか存在しないため、ソース電極9S及びドレイン電極9Dの下方領域の合金化のみによりオーミック接続を確保することができる。その他の構成は、図1に示すMESFETと同様である。

【0065】次に、図3Aに示すMESFETの製造方法を、図1に示すMESFETの製造方法との相違点に着目して説明する。図1に示す低抵抗領域10S、10Dの形成のためのSiイオン注入の工程の代わりに、ソース電極9S及びドレイン電極9Dを形成すべき領域に対応した開口を有するレジストパターンを形成し、この開口を通してキャップ層8、エッチング停止層7及びス

ペーサ層6をエッチングし、凹部13S及び13Dを形成する。キャップ層8とエッチング停止層7のエッチング条件は、図1の凹部12を形成する時の条件と同様である。スペーサ層6のエッチング条件は、キャップ層8のエッチング条件と同様である。

【0066】エッチングマスクとして使用したレジストパターンを残したままAuGe/Auの積層を蒸着により形成し、リフトオフすることにより、ソース電極9S及びドレイン電極9Dを形成する。 N_2 雰囲気中で温度を $450^\circ C$ とし、2分間の熱処理をおこなってソース電極9S及びドレイン電極9Dの下方領域を合金化する。

【0067】その他の工程は、図1で説明した工程と同様である。図3Aに示すMESFETでは、合金化された領域によってソース電極9S、ドレイン電極9Dと電子走行層3とがオーミックに接続される。これに対し、図1では、ゲートコンタクト層5を貫通して形成された低抵抗領域10S及び10Dによりソース電極9S、ドレイン電極9Dと電子走行層3とがオーミックに接続される。

【0068】AlGaAsからなるゲートコンタクト層3のAlの組成比は約0.5である。このようにAlの組成比を比較的高くすると、イオン注入されたSi原子が活性化しにくくなる。このため、ソース電極9S、ドレイン電極9Dと電子走行層3との間の接続抵抗を低くすることが困難になる。

【0069】図3Aに示すように、ソース電極9S、ドレイン電極9Dと電子走行層3とを合金化領域で接続することにより、ソース電極9S、ドレイン電極9Dと電子走行層3との間の接続抵抗を低減することが容易になる。

【0070】図3Bは、図3Aに示す第2の実施例の変形例を示す。図3Aに示すMESFETでは、ソース電極9S及びドレイン電極9Dがゲートコンタクト層5に接していたが、図3Bに示すMESFETでは、ソース電極9S及びドレイン電極9Dが緩和層4に接している。その他の構成は、図3AのMESFETと同様である。

【0071】図3Bに示す構成でも、ソース電極9S、ドレイン電極9Dと電子走行層3とが、ゲートコンタクト層5を貫通するSi注入領域を介さず、合金化領域に

よってオーミック接続される。従って、ソース電極 9 S、ドレイン電極 9 D と電子走行層 3 との間の接続抵抗の増加を抑制することができる。

【0072】図 3 B では、ソース電極 9 S とドレイン電極 9 D とを緩和層 4 に接触させる場合を示したが、緩和層 4 を設けない場合等には、電子走行層 3 に直接接触させてもよい。

【0073】上記第 1 及び第 2 の実施例では、GaAs 基板を用い、電子走行層 3、緩和層 4、スペーサ層 6 及びキャップ層 8 を GaAs で形成し、ゲートコンタクト層 5 及びエッチング停止層 7 を AlGaAs で形成した場合を説明したが、その他の材料で形成してもよい。

【0074】例えば、GaAs 基板を用い、電子走行層 3 を InGaAs で形成し、緩和層 4 を InGaAs 若しくは GaAs で形成し、ゲートコンタクト層 5 及びエッチング停止層 7 を AlGaAs で形成し、スペーサ層 6 及びキャップ層 8 を GaAs で形成してもよい。また、InP 基板を用い、電子走行層 3、緩和層 4 及びスペーサ層 6 を InGaAs で形成し、ゲートコンタクト層 5 及びエッチング停止層 7 を AlInAs で形成し、キャップ層 8 を InP で形成してもよい。

【0075】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0076】

【発明の効果】以上説明したように、本発明によれば、電子走行層の上に配置されるキャップ層を厚くすることにより、電子走行層を薄くしたときのシート抵抗の増加を抑制することができる。このため、電子走行層を薄くして MESFET をエンハンスメントモードにしたときのシート抵抗の増加による利得の低下等を抑制することができる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施例による MESFET の断面図である。

【図 2】図 1 に示す MESFET の電流電圧特性を示すグラフである。

【図 3】本発明の第 2 の実施例及びその変形例による M

ESFET の断面図である。

【図 4】MESFET の断面図である。

【図 5】図 4 に示す MESFET のピンチオフ電圧を電子走行層の厚さ及びビルトインポテンシャルの関数として示すグラフである。

【図 6】図 4 に示す MESFET のピンチオフ電圧を 0 V とするための電子走行層の厚さを不純物濃度の関数として示すグラフ、及び電子走行層の不純物濃度と厚さとの積を不純物濃度の関数として示すグラフである。

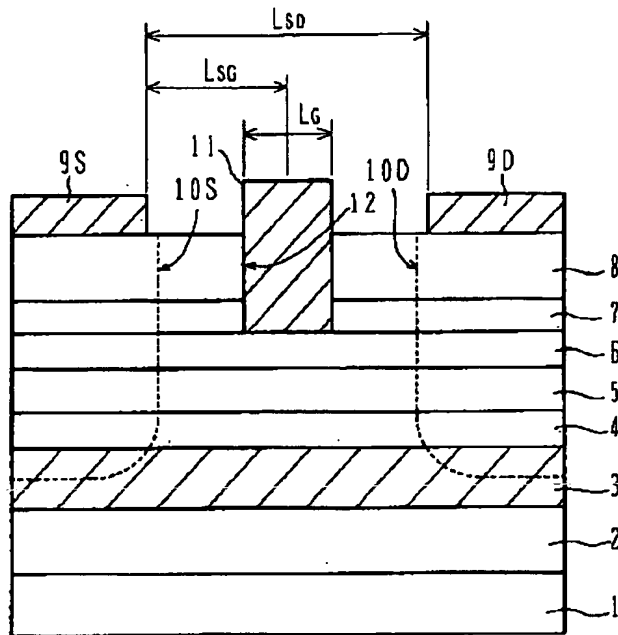
【図 7】リセス型 MESFET 及び埋込ゲート型 MESFET の断面図、及び電子走行層のシート抵抗をその上に形成されたキャップ層の厚さの関数として示すグラフである。

【符号の説明】

- 1 半絶縁性基板
- 2 ノンドープバッファ層
- 3 n 型電子走行層
- 4 緩和層
- 5 ゲートコンタクト層
- 6 スペーサ層
- 7 エッチング停止層
- 8 キャップ層
- 9 S ソース電極
- 9 D ドレイン電極
- 10 S、10 D 低抵抗領域
- 11 ゲート電極
- 12、13 S、13 D 凹部
- 50 半絶縁性基板
- 51 電子走行層
- 51 a、51 b 空乏層
- 52 ゲートコンタクト層
- 53 キャップ層
- 54 S ソース電極
- 54 D ドレイン電極
- 55 ゲート電極
- 56 凹部
- 57 S、57 D 低抵抗領域

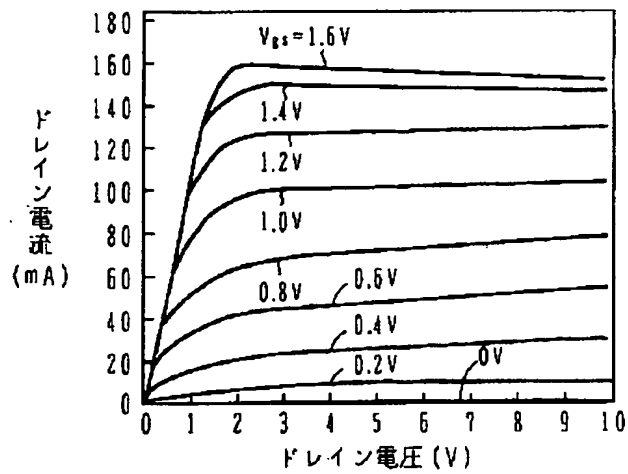
【図1】

第1の実施例



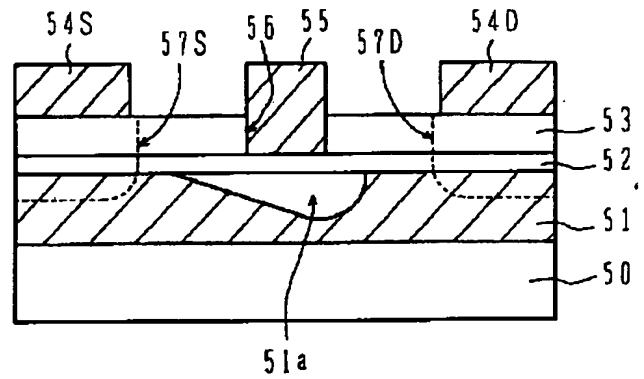
【図2】

MESFETの電流電圧特性



【図4】

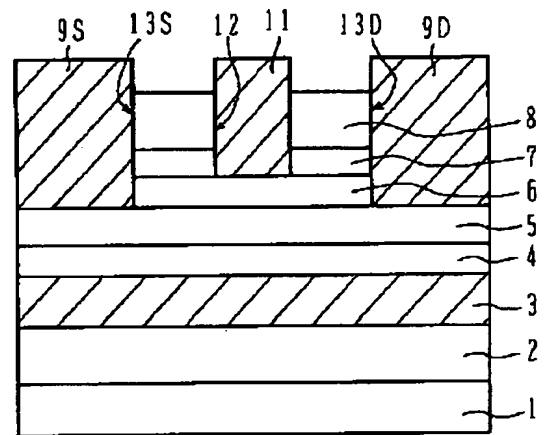
MESFET



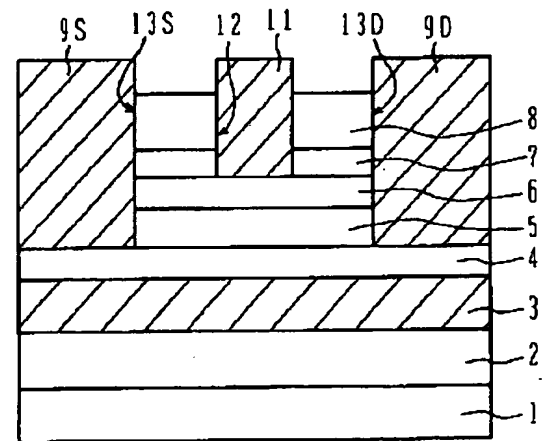
【図3】

第2の実施例

(A)

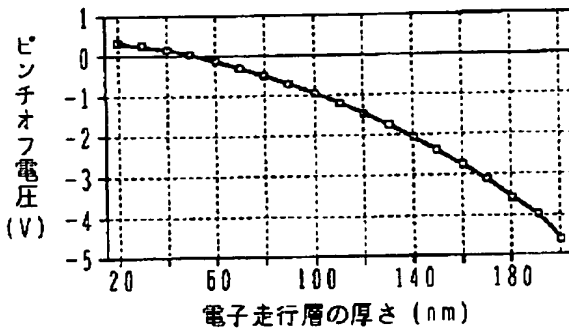


(B)

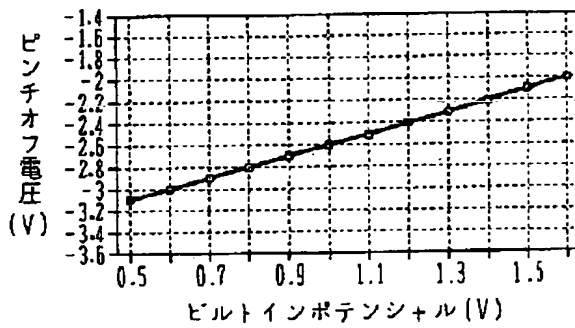


【図5】

(A)

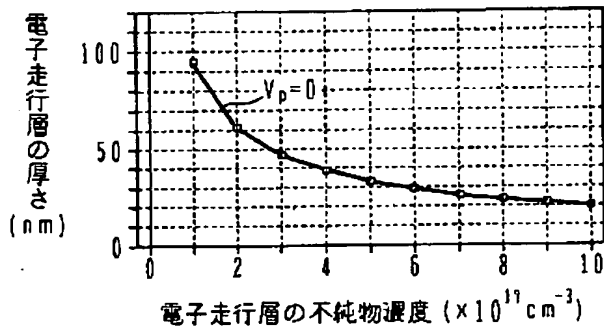


(B)

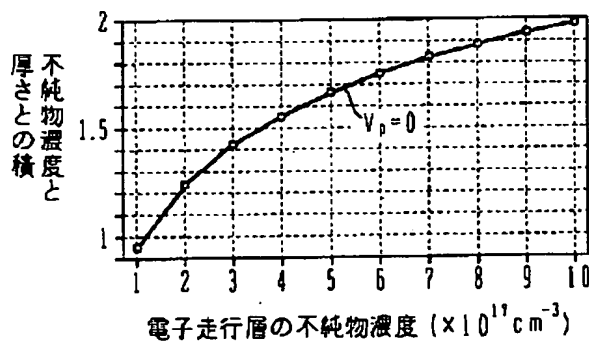


【図6】

(A)

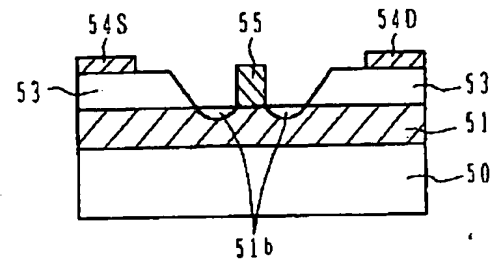


(B)

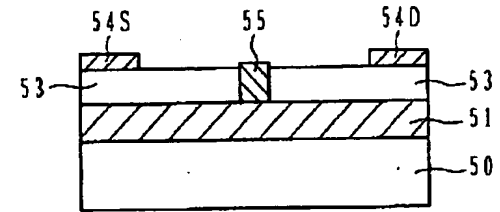


【図7】

(A)



(B)



(C)

